



(19)

(11) Publication number: 61032470 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 59152472

(51) Intl. Cl.: H01L 29/78 H01L 27/12

(22) Application date: 23.07.84

(30) Priority:  
(43) Date of application publication: 15.02.86  
(84) Designated contracting states:

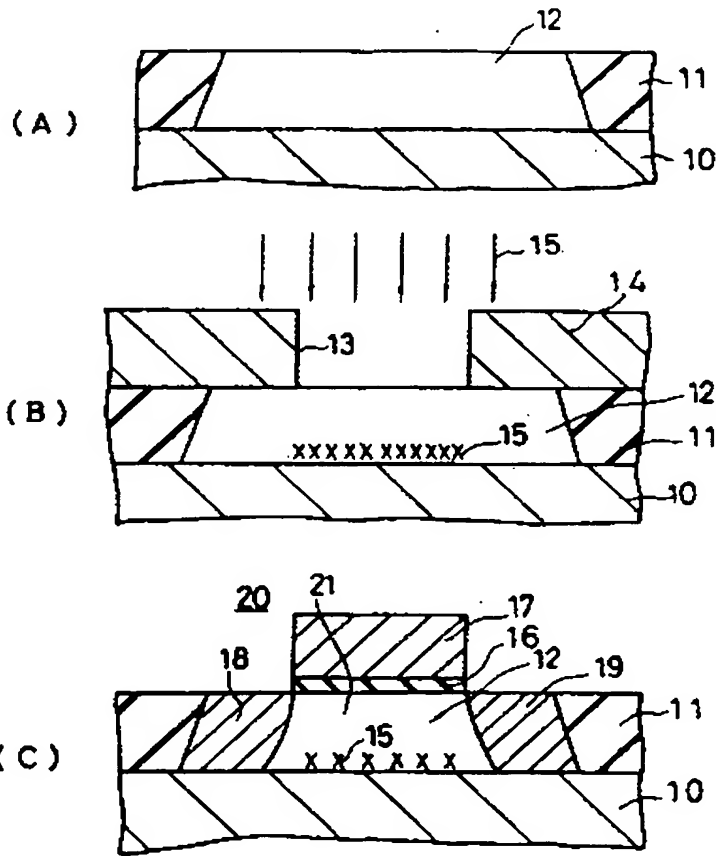
(71) Applicant: TOSHIBA CORP  
(72) Inventor: NOGUCHI TATSUO  
(74) Representative:

(54) MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To easily obtain the titled device by the simple manufacturing process which is markedly reduced in leakage current generated under the electric floatation of a substrate, by providing the process of introducing an impurity serving as the lifetime killer deeply into the channel which has been formed in the substrate.

CONSTITUTION: A resist film 14 having an aperture 13 by corresponding to the channel forming region in an element region 12 is formed on a field insulation film 11 including the element region 12. Next, the condition for ion implantation is so set that the doping center comes below the channel forming region at a depth distant from the main surface of the element region 12, and the lifetime killer 15 made of an impurity such as Au is injected by using this resist film 14 as a mask. Next, a gate insulation film 16 and a gate electrode 17 are formed on the element region 12 after removal of the resist film 14, which are then patterned. A source region 18 and a drain region 19 are formed by introducing a required impurity into the element region 12, using that pattern as a mask; accordingly, a semiconductor device 20 is obtained.



COPYRIGHT: (C)1986,JPO&Japio

**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**  
**Publication No. 61-32470**

From lines 10 to the bottom line of the upper left column on page 3

Figure 2 illustrates another example of the fabrication method according to the present invention, in which a lifetime killer is introduced under the source region 18 and the drain region 19. Since the thermal treatment at a high temperature is not performed after the source region 18 and the drain region 19 are formed in this semiconductor device 22, the disorder of crystallinity is not recovered. Accordingly, the region under the source region 18 and the drain region 19 is kept amorphous. Further, Si, which is introduced as the lifetime killer, does not caused increase in the leakage current of the depletion layer due to introduction of Au or the like.

## ⑫ 公開特許公報(A)

昭61-32470

⑤ Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑬ 公開 昭和61年(1986)2月15日  
H 01 L 29/78 8422-5F  
27/12 7514-5F  
// H 01 L 21/322 6603-5F 審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 MOS型半導体装置の製造方法

⑮ 特 願 昭59-152472

⑯ 出 願 昭59(1984)7月23日

⑰ 発 明 者 野 口 達 夫 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

## 明 細 書

## 1. 発明の名称

MOS型半導体装置の製造方法

## 2. 特許請求の範囲

絶縁基板上の半導体層の所定領域にフィールド絶縁膜で囲まれた素子領域を形成する工程と、該素子領域の主面にチャネル形成予定領域に対応して開口部を有するレジスト膜を形成する工程と、該レジスト膜をマスクにして前記チャネル形成予定領域の下方の前記主面から深く離れた前記素子領域内にAu, Cu, Co, Zn, Fe, Si, Nの中から選ばれたライフキラーとなる不純物を導入する工程と、前記レジスト膜を除去した後前記素子領域内に所定の不純物を選択的に導入してソース領域、ドレイン領域及びこれらの領域で挟まれたチャネルを形成する工程とを具備することを特徴とするMOS型半導体装置の製造方法。

## 3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、MOS型半導体装置の製造方法に関する。

## 〔発明の技術的背景〕

従来、サファイア基板等の絶縁基板上に所定の素子領域を形成した半導体層を積層してなる所謂MOS型半導体装置は、ゲート絶縁膜(SiO<sub>2</sub>膜)と半導体層界面(Si界面)にチャネルが形成されないようなゲートバイアス条件で、リーク電流が流れることがある。このリーク電流は、ドレインに動作電圧を印加した時に、ソースとドレイン間に流れるものであり、半導体層の結晶性が悪い場合に半導体層とサファイア基板界面の近くを流れる電流である。このようなリーク電流は、半導体層の結晶性を向上して減少させるか、或は、所謂バンチスルーによるリーク電流を低下させるべく、半導体層の深い領域に不純物をドーピングすることにより対処されている。

## 〔背景技術の問題点〕

而して、第×図に示す如く、上述のような基

板の電氣的浮遊状態によつて生じるリーク電流 1 (異常ドレイン電流) は、キンクと称せられてその変化が観測されている。従来は、半導体層中の結晶欠陥等によるキャリアのライフタイムの低下により、ゲート電圧が印加されていない弱反転領域でのキンク電流はほとんど観測されない。このためリーク電流を低下させる手段は、上述のような半導体層の結晶性の向上によって十分に達成されていた。

しかしながら、近年の結晶技術の向上によって半導体層中のキャリアのライフタイムが増加したこと、また、微細化技術の向上によつてゲート長が短縮したことによつて、上述のような対処手段では、キンク電流によるリーク電流を完全には解消できなくなった。第 4 図は、このようなリーク電流 1 の実測値の変化を示すものであり、第 4 図は、キンク電流によるリーク電流の計算機シミュレーションによる結果を示している。その結果、半導体層の結晶性を損うことなく、半導体層の深い領域にのみ存在するキ

ャリアのライフタイムを短くして、リーク電流を減少させる技術の開発が必要とされていた。

#### 〔発明の目的〕

本発明は、基板の電氣的浮遊状態によつて生じるリーク電流を激減した半導体装置を簡単な製造工程で容易に得ることができる MOS 型半導体装置の製造方法を提供することをその目的とするものである。

#### 〔発明の概要〕

本発明は、半導体基板に形成されたチャネルの深い領域にライフタイムキラーとなる不純物を導入する工程を設けたことにより、基板の電氣的浮遊状態によつて生じるリーク電流を激減した半導体装置を簡単な製造工程で容易に得ることができる半導体装置の製造方法である。

#### 〔発明の実施例〕

以下、本発明の実施例について図面を参照して説明する。

第 1 図 (A) 乃至同図 (C) は、本発明方法を工程順に示す説明図である。まず、第 1 図 (A) に示す如

く、例えばサファイアからなる絶縁基板 10 上に設けられた半導体層に選択的に熱酸化を施し、フィールド絶縁膜 11 で囲まれた素子領域 12 を形成する。

次に、同図 (B) に示す如く、素子領域 12 内のチャネル形成予定領域に対応して開口部 13 を有するレジスト膜 14 を、素子領域 12 を含むフィールド絶縁膜 11 上に形成する。次いで、このレジスト膜 14 をマスクにしてチャネル形成予定領域の下方である素子領域 12 の主面から深く離れた領域に、ドーピングの中心がくるようにイオン注入条件を設定して、Au 等の不純物からなるライフタイムキラー 15 を注入する。

ここで、ライフタイムキラー 15 となる不純物としては、Au の他にも Cu, Co, Zn, Fe, 或は Si, N を使用しても良い。

次に、レジスト膜 14 を除去した後、同図 (C) に示す如く、素子領域 12 上にゲート絶縁膜 16 及びゲート電極 17 を形成すると共に、これをパターニングし、これをマスクにして所定

の不純物を素子領域 12 内に導入してソース領域 18 及びドレイン領域 19 を形成して半導体装置 20 を得る。ここで、ソース領域 18 とドレイン領域 19 間に形成されるチャネル領域 21 の実効チャネル長は、例えば 1  $\mu$ m 未満に設定するのが望ましい。

なお、ライフタイムキラー 15 は、Au のようにそれ自身デープレベルとなつてライフタイムを低下させる性質のもの以外にも上述のように例えば高濃度 Si によって結晶性を乱す作用によってライフタイムを低下させるものでも良い。

また、ライフタイムを低下させる領域は、チャネル領域 21 の下方の他も、素子領域 12 の主面から深く離れた領域であれば良いので、第 2 図にて後述するようにソース領域 18、ドレイン領域 19 の形成後に、これらの領域 18, 19 の直下に自己整合的にライフタイムキラー 15 を導入して設けても良い。

このようにして得られた半導体装置 20 は、

チャネル領域 21 の下方に導入したライフタイムキラー 15 によつて、第 3 図に示す基板の浮遊によるキルク電流 22 を第 4 図に示す如く、抑圧してリーク電流を従来の装置に比べて約 2 桁以上低下させることができると共に、消費電力の低減させることができる。また、本発明方法では、従来の方法に比べてイオン注入工程を 1 回増すだけであり、製造工程そのものも簡単なものである。

第 2 図は、ソース領域 18、ドレイン領域 19 の下方にライフタイムキラー 15 を導入した本発明方法の他の例を示すものである。この半導体装置 22 では、ソース領域 18、ドレイン領域 19 の形成後に、高温度の熱処理工程を経ないので、結晶性の乱れは回復しないため、ソース領域 18、ドレイン領域 19 の下方の領域は、非晶質状態に保たれる。また、ここでライフタイムキラー 15 として導入する Si は、As 等の導入による空乏層中のリーク電流の増大を起こすことはない。

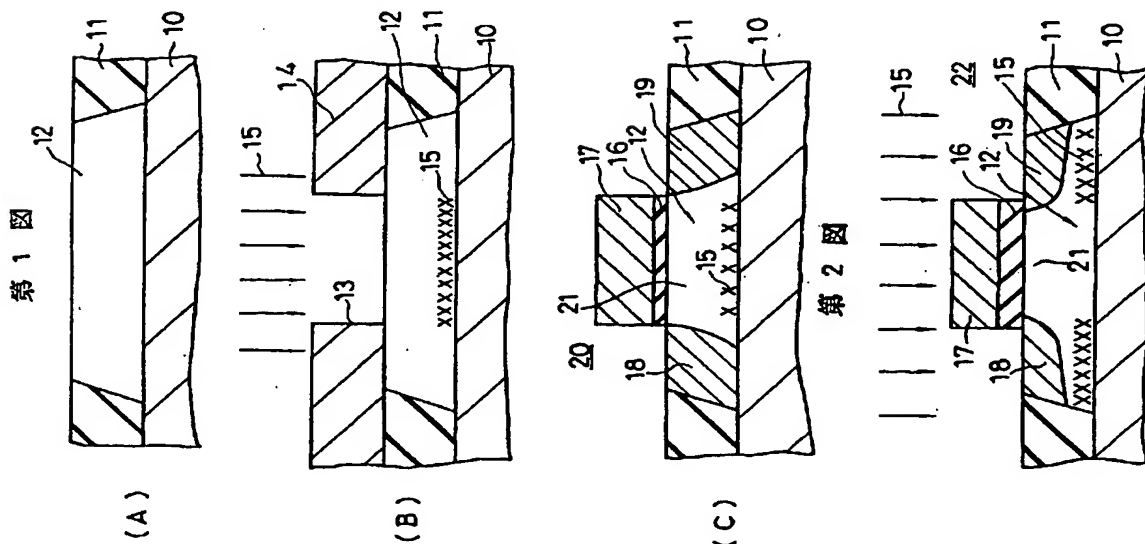
#### 〔発明の効果〕

以上説明した如く、本発明に係る MOS 型半導体装置の製造方法によれば、基板の電気的浮遊状態によって生じるリーク電流を激減した半導体装置を簡単な製造工程で容易に得ることができるものである。

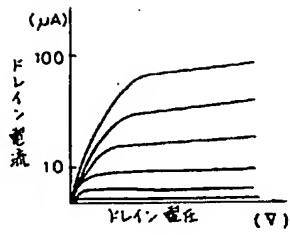
#### 4. 図面の簡単な説明

第 1 図(A)乃至同図(C)は、本発明方法を工程順に示す説明図、第 2 図は、本発明方法の他の例を示す説明図、第 3 図及び第 4 図は、ドレイン電圧とキルク電流との関係を示す説明図、第 5 図は、リーク電流のドレイン電圧依存性を示す特性図、第 6 図は、第 5 図の特性線を計算機シミュレーションしたものを示す特性図である。

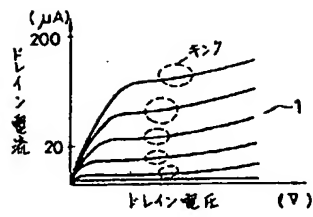
10…絶縁基板、11…フィールド絶縁膜、12…素子領域、13…開口部、14…レジスト膜、15…ライフタイムキラー、16…ゲート絶縁膜、17…ゲート電極、18…ソース領域、19…ドレイン領域、20…半導体装置、21…チャネル領域、22…半導体装置。



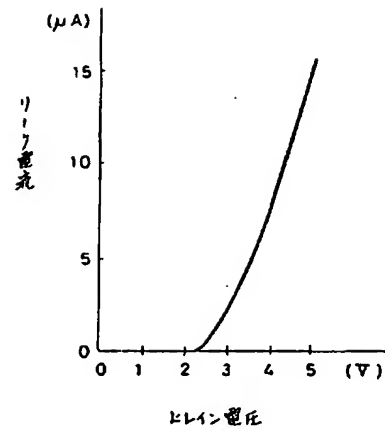
第 3 図



第 4 図



第 6 図



第 5 図

